

15This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

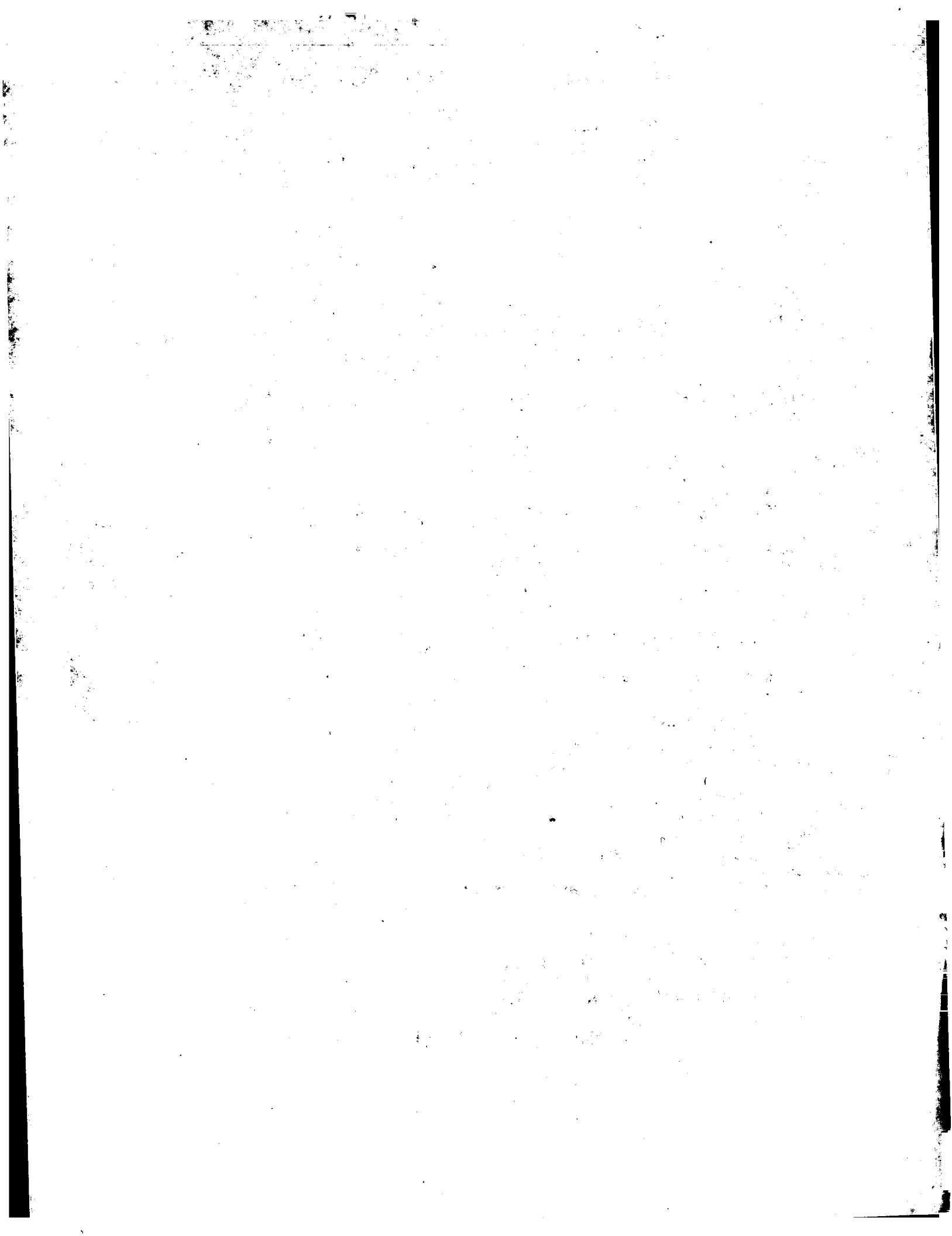
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11191559
PUBLICATION DATE : 13-07-99

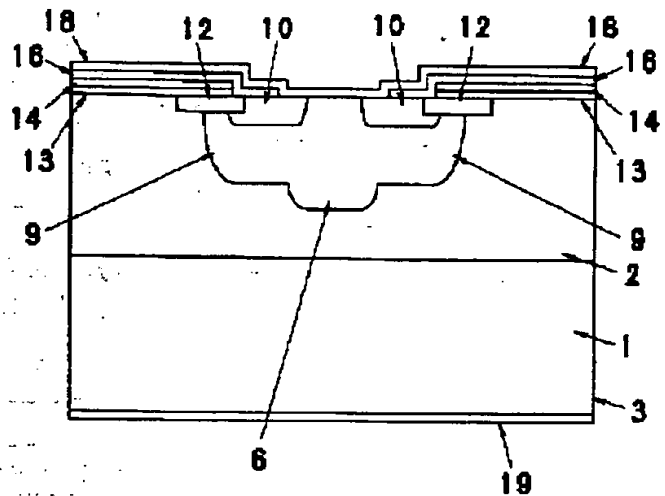
APPLICATION DATE : 26-12-97
APPLICATION NUMBER : 09358817

APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;

INVENTOR : OKADA HIROSHI;

INT.CL. : H01L 21/336 H01L 21/302 H01L 29/78

TITLE : MANUFACTURE OF MOSFET



ABSTRACT : PROBLEM TO BE SOLVED: To provide the manufacturing method of a MOSFET, having low on-resistance in a channel region, without lowering the specific resistance in the vicinity of the surface of the channel region from a prescribed value.

SOLUTION: This MOSFET is provided with a semiconductor layer 2 of a first conductivity type, a semiconductor region 9 of a second conductivity type provided along the main surface of the semiconductor layer 2, a source region 10 provided on the semiconductor region 9 along the main surface of the semiconductor layer 2, and a channel region 12 of the first conductivity type, which is changed from the point located along one main surface between the semiconductor layer 2 and the source region 10 in the semiconductor region 9. In this case, a recess for the channel region is formed along the main surface by removing and etching the place between the semiconductor layer 2 and the surface region 10 in the semiconductor region 9, the recess for the channel region is embedded by epitaxial growth, and the semiconductor region 9 is changed into a channel region 12.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191559

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/336

H 0 1 L 29/78

6 5 8 E

21/302

21/302

Z

29/78

29/78

6 5 2 E

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号

特願平9-358817

(22) 出願日

平成9年(1997)12月26日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 岡田 洋

大阪府門真市大字門真1048番地松下電工株式会社内

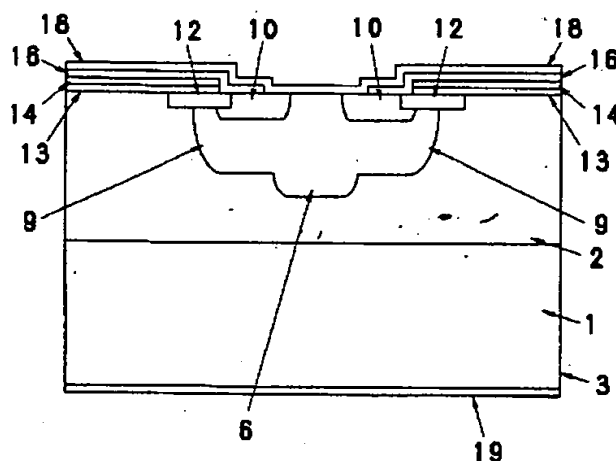
(74) 代理人 弁理士 安藤 淳二 (外1名)

(54) 【発明の名称】 MOSFETの製造方法

(57) 【要約】

【課題】 チャネル領域の表面付近の比抵抗を所定値よりも低くすることなく、チャネル領域のオン抵抗の値の低いMOSFETの製造方法を提供することにある。

【解決手段】 第1の導電型を有する半導体層2と、第2の導電型を有して半導体層2の一主面に沿って設けられた半導体領域9と、第1の導電型を有して一主面に沿って半導体領域9に設けられたソース領域10と、半導体領域9における半導体層2とソース領域10との間で一主面に沿って位置した箇所から変換されてなる第1の導電型を有したチャネル領域12と、を備えたMOSFETを製造する製造方法であって、半導体領域9における半導体層2とソース領域10との間の箇所をエッチングにより除去して一主面に沿ってチャネル領域用凹部を形成し、エピタキシャル成長によりチャネル領域用凹部を埋めて半導体領域9からチャネル領域12に変換するようにしている。



【特許請求の範囲】

【請求項1】 第1の導電型を有する半導体層と、第2の導電型を有して半導体層の一主面に沿って設けられた半導体領域と、第1の導電型を有して前記一主面に沿って半導体領域に設けられたソース領域と、半導体領域における半導体層とソース領域との間で前記一主面に沿って位置した箇所から変換されてなる第1の導電型を有したチャネル領域と、を備えたMOSFETを製造する製造方法であって、前記半導体領域における前記半導体層と前記ソース領域との間の箇所をエッチングにより除去して一主面に沿ってチャネル領域用凹部を形成し、エピタキシャル成長によりチャネル領域用凹部を埋めて前記半導体領域から前記チャネル領域に変換することを特徴とするMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DMOSFETの製造方法に関するものである。

【0002】

【従来の技術】従来、この種のMOSFETとして図8に示す構成のものが存在する。このものは、図9乃至図11に示した製造方法により製造される。

【0003】まず、図9(a)に示すように、第1の導電型(n^+ 型)の第1の半導体層1及びその第1の半導体層1よりも比抵抗の大きい第1の導電型(n^- 型)の第2の半導体層2が形成された基板3のその第2の半導体層2の一主面に、所定の膜厚を有した第1の酸化膜4を形成する。次に、図9(b)に示すように、第1の酸化膜4の一部を除去して、第1の凹部5を形成してから、矢示するように、高濃度のホウ素イオンを注入する。次に、図9(c)に示すように、注入したホウ素イオンを拡散させて、比抵抗の小さい第2の導電型(p^+ 型)の第1の半導体領域6を所定の深さで一主面に沿って形成すると同時に、その第1の半導体領域6上に第2の酸化膜7を形成する。次に、図9(d)に示すように、エッチングでもって、第2の酸化膜7の一部を除去して、第2の半導体層2及び第1の半導体領域5に達するよう第2の凹部8を形成する。次に、図9(e)に矢示するように、ホウ素イオンを注入する。

【0004】次に、図10(a)に示すように、注入したホウ素イオンを拡散させて、第2の導電型(p 型)の第2の半導体領域9を形成する。次に、図10(b)に矢示すように、リンイオンを注入する。次に、図10(c)に示すように、注入したリンイオンを拡散させて、第1の導電型(n^+ 型)のソース領域10を一主面に沿って形成して後に、第3の酸化膜11を形成する。次に、図10(d)に示すように、エッチングでもって、第3の酸化膜11を除去する。次に、図10(e)に示すように、リンイオンを注入されることにより、ディプレッション化する。このと

き、第1の半導体領域6であって第2の半導体層2とソース領域10とにより挟まれた箇所が、一主面に沿って第1の導電型(n^+ 型)を有したチャネル領域12に変換される。

【0005】次に、図11(a)に示すように、ゲート絶縁膜となる第4の酸化膜13を形成する。次に、図11(b)に示すように、ゲート電極となるポリシリコン製の第1の導電膜14を形成する。次に、図11(c)に示すように、第1の半導体領域6及び第2の半導体層2に達するよう、エッチングでもって、第4の酸化膜13及び第1の導電膜14のそれぞれの一部を除去して第3の凹部15を形成する。次に、図11(d)に示すように、第5の絶縁膜16を形成して後に、第4の凹部17を形成し、さらに、第1の半導体領域5及びソース領域10にコンタクトしてソース電極となる第2の導電膜18を形成し、さらに、第1の半導体層1の表面に、ドレイン電極となる第3の導電膜19を形成して、図9に示したディプレッション型のDMOSFETが製造される。

【0006】

【発明が解決しようとする課題】上記した従来のMOSFETにあつては、第1の導電型(n^+ 型)を有したチャネル領域12は、リンイオンを注入されることにより第2の半導体層2とソース領域10とにより挟まれた第1の半導体領域5を変換することにより形成されているから、図12(a)に示すように、注入されたリンイオンの濃度が、一主面の表面付近では高いものの、深くなるにつれて、急激に小さくなってしまふ。

【0007】一方、このMOSFETは、ディプレッション型であるから、ドレインソース間をオフさせるためには、ゲートに印加される電圧によって、一主面の表面付近のチャネル領域12を第2の導電型(p 型)に反転させなければならないので、一主面の表面付近の比抵抗を所定値以下にすることができず、深い部分のリンイオンの濃度を高くするために、表面付近のリンイオン濃度までも高くして、表面付近の比抵抗を所定値よりも低くするわけにはいかななくなっている。

【0008】そうすると、チャネル領域12における深い部分では、リンイオンの濃度が極めて低くなってしまつて、図12(b)に示すように、その深い部分での比抵抗の値が高くなり、図13に示すように、表面付近における浅抵抗 r_1 と深い部分における深抵抗 r_2 との並列接続された抵抗 r と考えられるチャネル領域12全体のオン抵抗の値が高くなってしまふ。

【0009】本発明は、上記の点に着目してなされたもので、その目的とするところは、チャネル領域の表面付近の比抵抗を所定値よりも低くすることなく、チャネル領域のオン抵抗の値の低いMOSFETの製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記した課題を解決する

ために、請求項1記載の発明の製造方法は、第1の導電型を有する半導体層と、第2の導電型を有して半導体層の一主面に沿って設けられた半導体領域と、第1の導電型を有して前記一主面に沿って半導体領域に設けられたソース領域と、半導体領域における半導体層とソース領域との間で前記一主面に沿って位置した箇所から変換されてなる第1の導電型を有したチャネル領域と、を備えたMOSFETを製造する製造方法であって、前記半導体領域における前記半導体層と前記ソース領域との間の箇所をエッチングにより除去して一主面に沿ってチャネル領域用凹部を形成し、エピタキシャル成長によりチャネル領域用凹部を埋めて前記半導体領域から前記チャネル領域に変換するようにしている。

【0011】

【発明の実施の形態】本発明の一実施形態のMOSFETを図1乃至図6に基づいて以下に説明する。このMOSFETは、デプレッション型であって、図3乃至図6に示す製造方法により製造される。なお、従来例と実質的に同一の箇所には、同一の符号を付し、図3及び図4に示す工程については、従来例と同一であるので、簡略に説明する。

【0012】まず、図3(a)に示すように、第1の半導体層1及第2の半導体層2が形成された基板3のその第2の半導体層2の一主面に、第1の酸化膜4を形成する。次に、図3(b)に示すように、第1の絶縁膜4の一部を除去して、第1の凹部5を形成してから、矢示するように、高濃度のホウ素イオンを注入する。次に、図3(c)に示すように、第1の半導体領域6を形成すると同時に、その第1の半導体領域6上に第2の酸化膜7を形成する。次に、図3(d)に示すように、エッチングをもって、第2の酸化膜7の一部を除去して、第2の凹部8を形成する。次に、図4(a)に矢示するように、ホウ素イオンを注入する。次に、図4(b)に示すように、第2の半導体領域9を形成する。次に、図4(c)に矢示するように、リンイオンを注入する。次に、図4(d)に示すように、ソース領域10を形成して後に、第3の酸化膜11を形成する。

【0013】次に、図5(a)に示すように、エッチングをもって、第3の酸化膜11の一部を除去して、第2の半導体領域9における第2の半導体層2とソース領域10との間の箇所、詳しくは、第2の半導体領域9を含んで第2の半導体層2からソース領域10にかけての箇所を露出させる。次に、図5(b)に示すように、露出された第2の半導体領域9をエッチングして、チャネル領域用凹部20を形成する。次に、図5(c)に示すように、エピタキシャル成長により、所定の比抵抗を有した第1の導電型(n型)のシリコン層21を堆積して、チャネル領域用凹部20を埋めることにより、第2の半導体領域9からチャネル領域12に変換する。次に、図5(d)に示すように、リフトオフをもって、第3の酸化膜11と共に、エピタキ

シャル成長による余分なシリコン層21を除去する。

【0014】次に、図6(a)に示すように、ゲート絶縁膜となる第4の酸化膜13を形成する。次に、図6(b)に示すように、ゲート電極となるポリシリコン製の第1の導電膜14を形成する。次に、図6(c)に示すように、第1の半導体領域6及び第2の半導体層2に達するように、エッチングをもって、第4の酸化膜13及び第1の導電膜14のそれぞれの一部を除去して第3の凹部15を形成する。次に、図6(d)に示すように、第5の酸化膜16を形成して後に、第4の凹部17を形成し、さらに、第1の半導体領域6及びソース領域10にコンタクトしてソース電極となる第2の導電膜18を形成し、さらに、第1の半導体層1の表面に、ドレイン電極となる第3の導電膜19を形成して、図1に示したデプレッション型のDMOSFETが製造される。

【0015】かかるMOSFETの製造方法にあつては、第2の半導体領域9における第2の半導体層2とソース領域10との間の箇所をエッチングにより除去して形成されたチャネル領域用凹部20が、エピタキシャル成長により埋められて変換されてなるチャネル領域12は、従来例のように、深さ方向に沿った濃度分布を殆ど有していないから、比抵抗が深さ方向に沿って略同一となり、表面付近の比抵抗の値が所定値以下ではない R_1 であるとき、深い部分での比抵抗の値が、 R_1 と略等しい R_2 となる。従って、図7に示すように、表面付近における浅抵抗 r_1 と深い部分における深抵抗 r_2 との並列接続された抵抗 r と考えられるチャネル領域12全体のオン抵抗の値 R_3 は、(1)式に示されるようになる。

【0016】

$$R_3 = R_1 \times R_2 / (R_1 + R_2) \quad (1)$$

一方、従来例では、深い部分での比抵抗の値は、表面付近の比抵抗の値 R_1 よりも大きい R_4 となるので、図13に示すように、表面付近における浅抵抗 r_1 と深い部分における深抵抗 r_2 との並列接続された抵抗 r と考えられるチャネル領域12全体のオン抵抗の値 R_5 は、(2)式に示されるようになる。

【0017】

$$R_5 = R_1 \times R_4 / (R_1 + R_4) \quad (2)$$

ここで、 R_3 と R_5 との大小関係を考察するために、(1)式から(2)式を減算する。

$$【0018】 R_3 - R_5 = (R_1^2 \times (R_2 - R_4)) / ((R_1 + R_4) \times (R_1 + R_2))$$

なお、 $R_2 < R_4$ であるから、 $R_3 - R_5 < 0$ となつて、 $R_3 < R_5$ 、すなわち、チャネル領域12全体のオン抵抗の値を、従来例よりも低くすることができる。

【0019】このように、オン抵抗の値を低くすることができるから、オン抵抗を低減するために、チャネル幅を増大させなくてもよくなり、半導体素子面積を小さくでき、ひいては、半導体ウエハー上に作り込む半導体素子数を増加させることができる。

【0020】また、チャネル領域12は、その深さ方向に沿って、比抵抗が略一定となるので、比抵抗の深さ方向の分布を特に配慮せずに、その深さを決定でき、設計の自由度を上げることができる。

【0021】

【発明の効果】請求項1記載の発明の製造方法によると、半導体領域における半導体層とソース領域との間の箇所をエッチングにより除去して形成されたチャネル領域用凹部が、エピタキシャル成長により埋められて変換されてなるチャネル領域は、従来例のように、深さ方向に沿った濃度分布を殆ど有していないから、比抵抗が深さ方向に沿って略同一となり、一主面の表面付近の比抵抗を所定値以下にすることなく、その表面付近の比抵抗が従来例と同一である場合、深い部分での比抵抗が、従来例よりも小さくなるので、表面付近における浅抵抗と深い部分における深抵抗との並列接続された抵抗と考えられるチャネル領域全体のオン抵抗の値を、従来例よりも低くすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の断面図である。

【図2】同上のチャネル領域におけるリンイオン濃度及び抵抗率の深さ方向の分布を示す説明図である。

【図3】同上の製造方法を示す基板の断面図である。

【図4】同上の図3に続く製造方法を示す基板の断面図

である。

【図5】同上の図4に続く製造方法を示す基板の断面図である。

【図6】同上の図5に続く製造方法を示す基板の断面図である。

【図7】同上のチャネル部の抵抗値を説明する断面図である。

【図8】従来例の断面図である。

【図9】従来例の製造方法を示す基板の断面図である。

【図10】同上の図9に続く製造方法を示す基板の断面図である。

【図11】同上の図10に続く製造方法を示す基板の断面図である。

【図12】同上のチャネル領域におけるリンイオン濃度及び抵抗率の深さ方向の分布を示す説明図である。

【図13】同上のチャネル部の抵抗値を説明する断面図である。

【符号の説明】

2 第2の半導体層

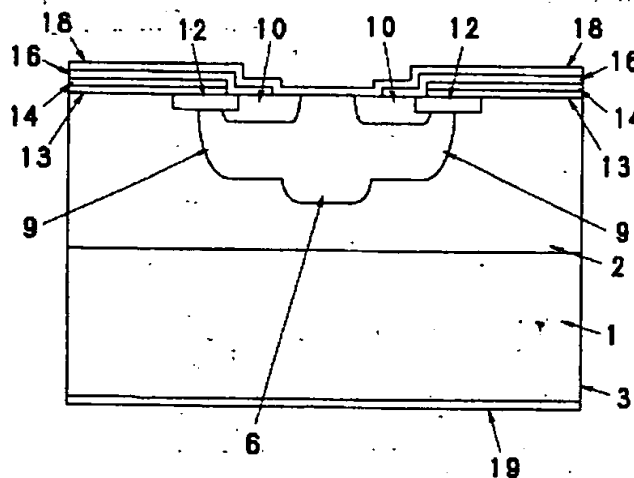
9 第2の半導体領域

10 ソース領域

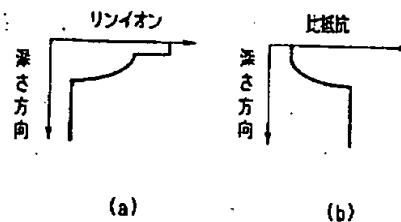
12 チャネル領域

20 チャネル領域用凹部

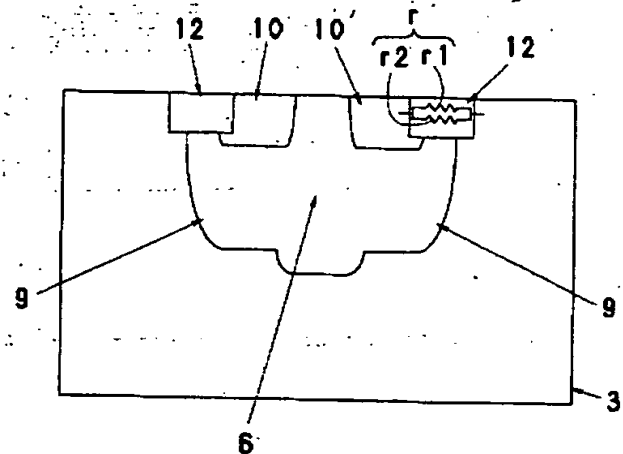
【図1】



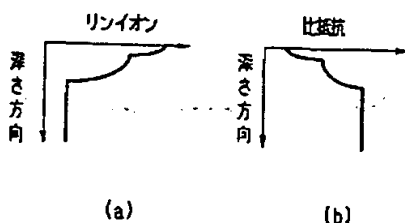
【図2】



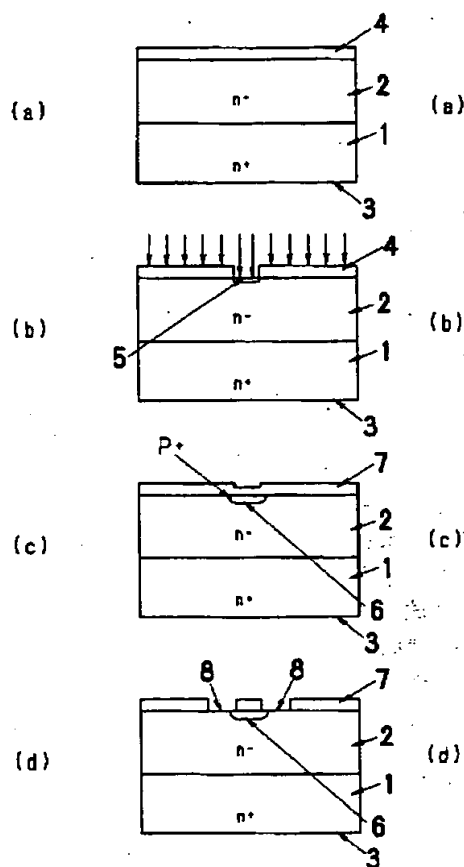
【図7】



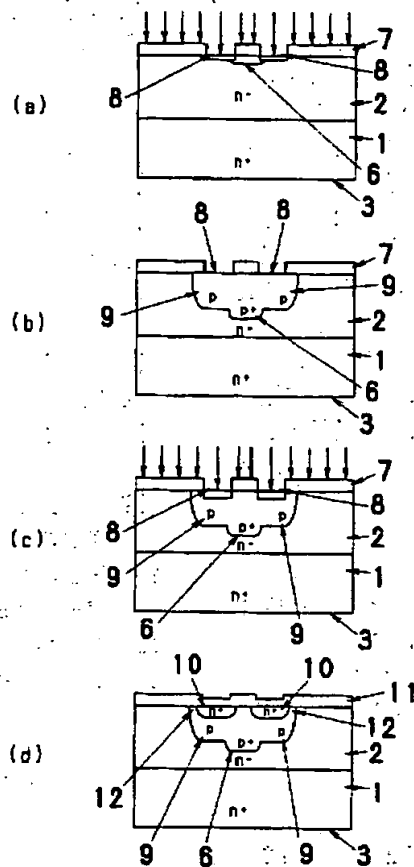
【図1.2】



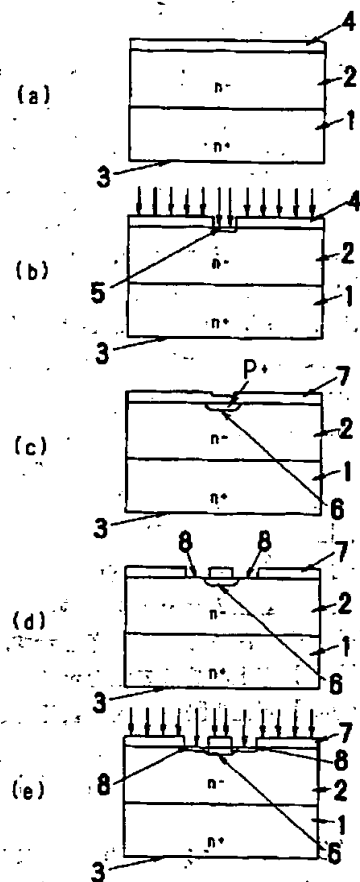
【図3】



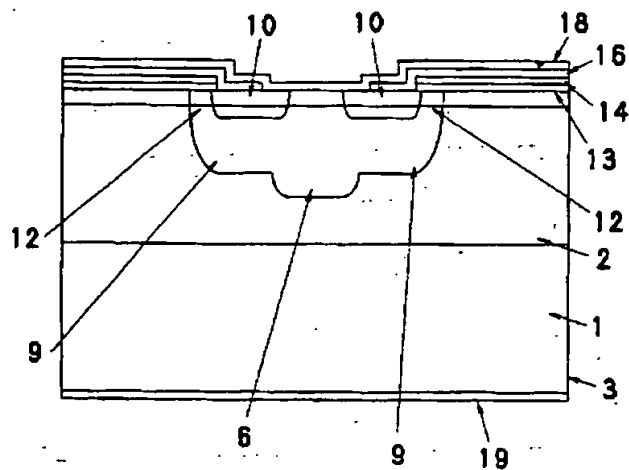
【図4】



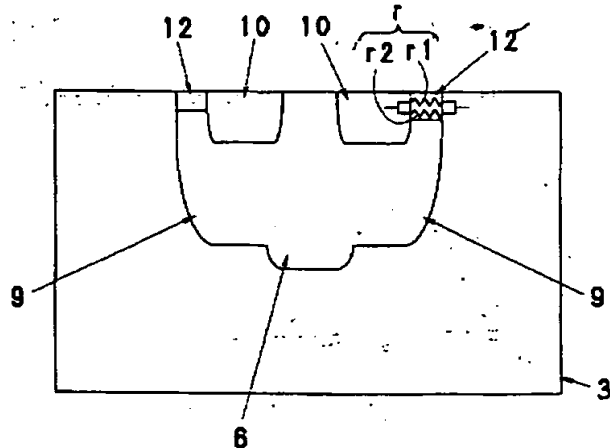
【図9】



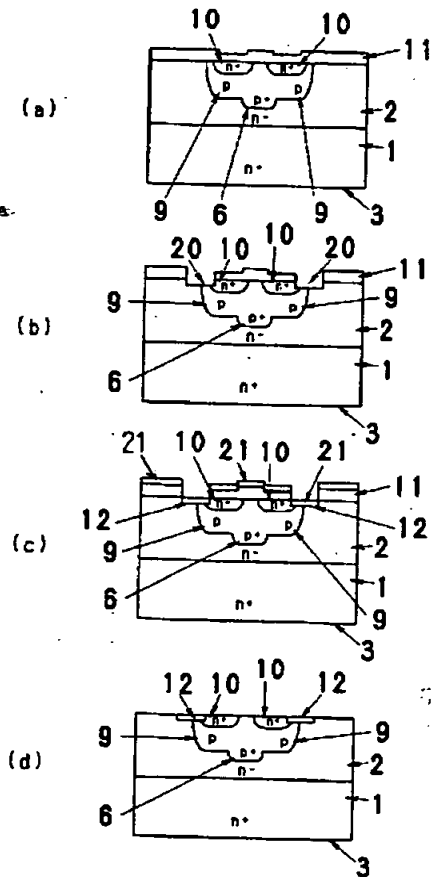
【図8】



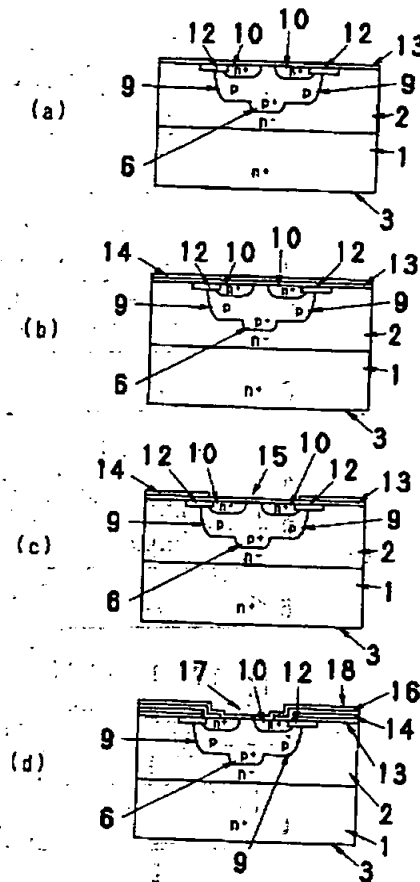
【図13】



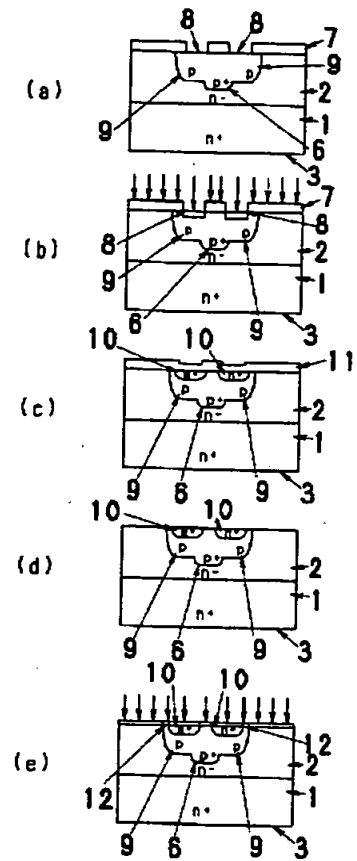
【図5】



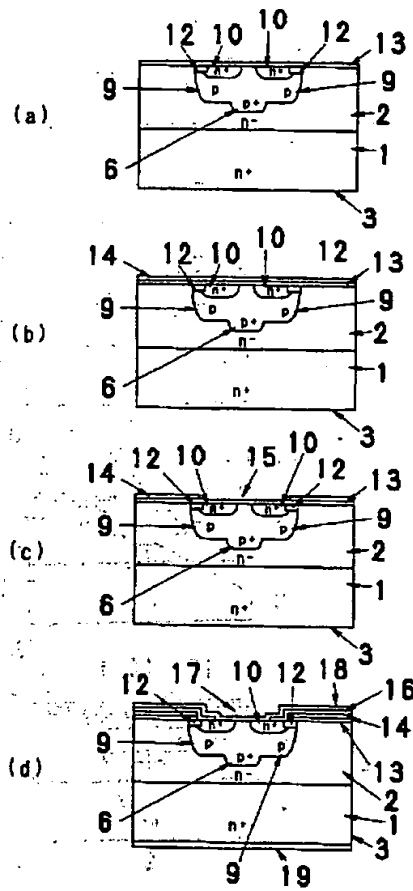
【図6】



【図10】



【図11】



THIS PAGE BLANK (USPTO)